

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-335443

(43)Date of publication of application : 22.12.1995

(51)Int.Cl.

H01F 19/00
B42D 15/10
G06K 19/077
H01F 17/00

(21)Application number : 06-130518

(71)Applicant : HITACHI MAXELL LTD

(22)Date of filing : 13.06.1994

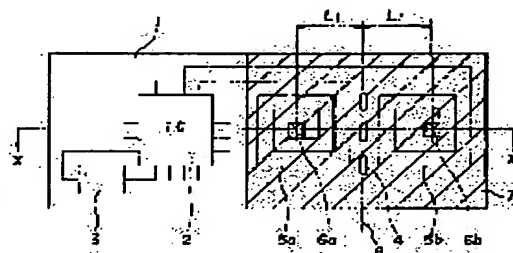
(72)Inventor : KOHAMA KYOICHI
TAKASUGI KAZUO

(54) COIL DEVICE AND IC MEMORY USING THE SAME

(57)Abstract:

PURPOSE: To provide a coil device and IC memory using the same capable of eliminating the formation of any through holes thereby simplifying the manufacturing steps and miniaturizing it at low cost or capable of increasing the turns if the printed-wiring substrates are in the same area.

CONSTITUTION: The first coil half 5a is formed on the lower side printed-wiring substrate while the first conductive junction layer 6a is formed on one end of the first coil half 5a and then the second coil half 5b is formed on the upper side printed-wiring substrate of the second coil half 5b, next, the upper side printed-wiring substrate is laminated on the lower side printed-wiring substrate so as to integrally junction the first junction layer 6a with the second junction layer 6b. Through these procedures, the first coil half 5a is connected to the second coil half 5b to form only one coil.



LEGAL STATUS

[Date of request for examination]

19.04.2001

[Date of sending the examiner's decision of rejection]

26.08.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平7-335443

(43)公開日 平成7年(1995)12月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 F 19/00		Z 4230-5E		
B 4 2 D 15/10	5 2 1			
G 0 6 K 19/077				
H 0 1 F 17/00		B 4230-5E		
			G 0 6 K 19/ 00	K
			審査請求 未請求 請求項の数9	OL (全 8 頁)

(21)出願番号 特願平6-130518

(22)出願日 平成6年(1994)6月13日

(71)出願人 000005810

日立マクセル株式会社

大阪府茨木市丑寅1丁目1番88号

(72)発明者 小浜 京一

大阪府茨木市丑寅一丁目1番88号 日立マ
クセル株式会社内

(72)発明者 高杉 和夫

大阪府茨木市丑寅一丁目1番88号 日立マ
クセル株式会社内

(74)代理人 弁理士 武 顕次郎

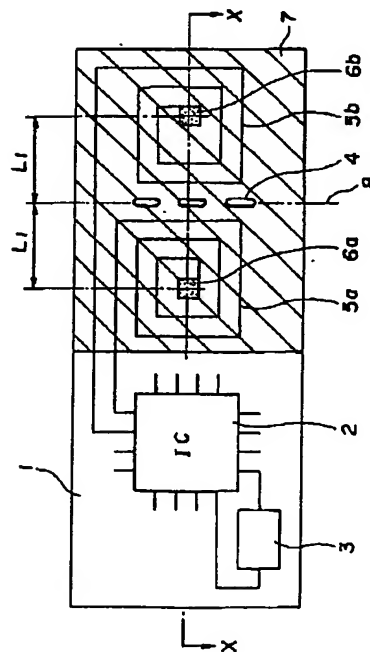
(54)【発明の名称】 コイル装置およびそれを用いたICメモリ装置

(57)【要約】

【目的】 スルーホール形成の必要がなく、そのために製造工程が簡略化して、安価で、しかも小型化が可能な、あるいはプリント配線基板が同じ面積であればターン数を増大することができるコイル装置ならびにそれを用いたメモリIC装置を提供することにある。

【構成】 下側のプリント配線基板に第1コイル半体5aと、その第1コイル半体5aの一端に導電性の第1接合層6aを形成し、上側のプリント配線基板に第2コイル半体5bと、その第2コイル半体5bの一端に導電性の第2接合層6bを形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層6aと第2接合層6bとを一体に接合することにより、前記第1コイル半体5aと第2コイル半体5bとを接続して1つのコイルを形成したことを特徴とする。

【図1】



1

【特許請求の範囲】

【請求項1】 下側のプリント配線基板に第1コイル半体と、その第1コイル半体の一端に導電性の第1接合層を形成し、

上側のプリント配線基板に第2コイル半体と、その第2コイル半体の一端に導電性の第2接合層を形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層とを一体に接合することにより、前記第1コイル半体と第2コイル半体とを接続して1つのコイルを形成したことを特徴とするコイル装置。

【請求項2】 下側のプリント配線基板にコイルと、そのコイルの一端に導電性の第1接合層と、そのコイルから離れた位置に導電性の第1中間接合層とを形成し、上側のプリント配線基板に導電性の第2接合層ならびに第2中間接合層と、その第2接合層と第2中間接合層を接続する導電線とを形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層ならびに第1中間接合層と第2中間接合層とをそれぞれ接合することにより、前記第1接合層と第1中間接合層とを接続したことを特徴とするコイル装置。

【請求項3】 請求項1または2記載において、前記下側のプリント配線基板と上側のプリント配線基板が連続したフレキシブルなプリント配線基板であって、そのフレキシブルなプリント配線基板を折り返して下側のプリント配線基板と上側のプリント配線基板を構成したことを特徴とするコイル装置。

【請求項4】 請求項3記載において、前記フレキシブルなプリント配線基板の折り返し部にスリットが形成されていることを特徴とするコイル装置。

【請求項5】 請求項1または2記載において、前記導電性の接合層が半田層であることを特徴とするコイル装置。

【請求項6】 下側のプリント配線基板に第1コイル半体と、その第1コイル半体の一端に導電性の第1接合層を形成し、上側のプリント配線基板に第2コイル半体と、その第2コイル半体の一端に導電性の第2接合層を形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層とを一体に接合することにより、前記第1コイル半体と第2コイル半体とを接続して1つのコイルを形成し、そのコイルが信号送受信のためのコイルあるいは給電用のコイルであり、前記プリント配線基板にICチップが搭載されていることを特徴とするICメモリ装置。

【請求項7】 下側のプリント配線基板にコイルと、そのコイルの一端に導電性の第1接合層と、そのコイルから離れた位置に導電性の第1中間接合層とを形成し、上側のプリント配線基板に導電性の第2接合層ならびに

2

第2中間接合層と、その第2接合層と第2中間接合層を接続する導電線とを形成して、

その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層ならびに第1中間接合層と第2中間接合層とをそれぞれ接合することにより、前記第1接合層と第1中間接合層とを接続して、

前記コイルが信号送受信のためのコイルあるいは給電用のコイルであり、

前記プリント配線基板にICチップが搭載されていることを特徴とするICメモリ装置。

【請求項8】 下側のプリント配線基板に第1コイル半体と、その第1コイル半体の一端に導電性の第1接合層を形成し、

上側のプリント配線基板に第2コイル半体と、その第2コイル半体の一端に導電性の第2接合層を形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層とを一体に接合することにより、前記第1コイル半体と第2コイル半体とを接続して1つのコイルを形成し、そのコイルが信号送受信のためのコイルあるいは給電用のコイルであり、

前記プリント配線基板にICチップが搭載されて薄板状のICモジュールが構成され、

そのICモジュールの両面に接着剤層を介して薄板状の保護部材が貼着されていることを特徴とするICメモリ装置。

【請求項9】 下側のプリント配線基板にコイルと、そのコイルの一端に導電性の第1接合層と、そのコイルから離れた位置に導電性の第1中間接合層とを形成し、上側のプリント配線基板に導電性の第2接合層ならびに第2中間接合層と、その第2接合層と第2中間接合層を接続する導電線とを形成して、

その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層ならびに第1中間接合層と第2中間接合層とをそれぞれ接合することにより、前記第1接合層と第1中間接合層とを接続して、

前記コイルが信号送受信のためのコイルあるいは給電用のコイルであり、

前記プリント配線基板にICチップが搭載されて薄板状のICモジュールが構成され、

そのICモジュールの両面に接着剤層を介して薄板状の保護部材が貼着されていることを特徴とするICメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、所定数のコイルを備えたコイル装置ならびにそれを用いたメモリカードなどのICメモリ装置に関するものである。

【0002】

【従来の技術】近年、ICカードの1種であるメモリカードは、電子手帳のデータベースを初めパーソナルコンピュータの外部情報記録媒体、増設メモリなどに用いられ、その需要および利用分野は飛躍的に拡大している。

【0003】前記メモリカードの端末装置（カードリーダー）との結合方式は、電気接点どうしを接触させる接触方式と、この接触方式でない非接触方式に大別される。

【0004】前記接触方式にはピン挿入方式があり、これは例えば68本程度のコネクタピンを用いて信号のやり取りができるので、8ビットや16ビットの平行データ転送が行われ、データの高速な読み出し、書き込みが可能となる利点を有している。しかし、その反面、コネクタピンが露出しているため、ピンの汚れや曲がりなどによる接触不良、ピンの小型化に起因する耐挿抜性の低下などの欠点を有している。またそのことは、他の電気接点でも同様の難点がある。

【0005】これに対して後者の非接触方式は、前述のようなトラブルの発生がなく、特に汚れた環境下での使用が可能であるという特長を備えている。

【0006】この非接触方式で信号の送受信や電力の供給などを行う具体的手段としては、静電気、光および電波などが提案されているが、現在実用化されているのは、コストや消費電力などを考慮して電磁結合方式によるものが殆どである。

【0007】図9は、一般的な電磁結合コネクタの基本構成を示すブロック図である。ここでは基本構成を説明するのに、4ビットの平行データの送受信を例にとって説明する。

【0008】この例の電磁結合方式は、端末装置側電磁結合コネクタ100と、ICカード側電磁結合コネクタ101を組み合わせることで信号の送受信や電力の供給などを行うものである。電磁結合コネクタ100、101の信号部において、信号コイル102に発生する微弱電圧（電流）を増幅する信号増幅回路103、電磁変換特有のパルス波形を矩形パルス波形に整形する波形整形回路104、4ビット平行データを8ビット平行データに変換するシリアル/平行変換回路105が内蔵され、電磁結合コネクタ100、101からはアドレス信号、データ信号および命令信号などが平行信号として同時に出力される。

【0009】端末装置側電磁結合コネクタ100の電力部に内蔵されている発振回路106で所定の周波数に発振され、交流で供給された電力は、電力コイル109、111を介してICカード側電磁結合コネクタ101に内蔵されている整流・平滑回路107および定電圧回路108において直流定電圧電源に変換される。

【0010】送信の場合には受信とは逆に、例えば8ビット信号を4ビット2回に分ける平行/シリアル回

路111が設けられている。

【0011】図10は従来のICカードに用いていたプリント配線基板の一部平面図である。プリント配線基板200上にはベアチップIC201ならびにコンデンサ202などの電子部品が搭載され、また、所定のターン数を有する信号用、電力用のコイル203がプリントされており、そのプリントコイル203の一端とベアチップIC201とがスルーホール204を介して接続されている。

10 【0012】

【発明が解決しようとする課題】このように従来のコイル装置ではスルーホールを形成するための工程が必要であり、そのためコスト高を招くばかりでなく、特にプリント配線基板として薄いフレキシブルなプリント配線基板（FPC）を使用する際には確実なスルーホールの形成が困難であり、作業が煩雑となる。

20 【0013】また、プリント配線基板の一面に所定のターン数を有するプリントコイルを形成する場合、そのプリントコイルの占有面積が他の電子部品等に比べると広いため、コイル装置の小型化に支障をきたしているなどの欠点を有している。

【0014】本発明の目的は、このような従来技術の欠点を解消し、スルーホールの形成の必要がなく、そのために製造工程が簡略化して、安価で、しかも小型化が可能な、あるいはプリント配線基板が同じ面積であればターン数を増大することができるコイル装置ならびにそれを用いたメモリIC装置を提供することにある。

【0015】

30 【課題を解決するための手段】前記目的を達成するため、第1の本発明は、下側のプリント配線基板に第1コイル半体と、その第1コイル半体の一端に導電性の第1接合層を形成し、上側のプリント配線基板に第2コイル半体と、その第2コイル半体の一端に導電性の第2接合層を形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層とを一体に接合することにより、前記第1コイル半体と第2コイル半体とを接続して1つのコイルを形成したコイル装置を特徴とするものである。

40 【0016】前記目的を達成するため、第2の本発明は、下側のプリント配線基板にコイルと、そのコイルの一端に導電性の第1接合層と、そのコイルから離れた位置に導電性の第1中間接合層とを形成し、上側のプリント配線基板に導電性の第2接合層ならびに第2中間接合層と、その第2接合層と第2中間接合層を接続する導電線とを形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層ならびに第1中間接合層と第2中間接合層とをそれぞれ接合することにより、前記第1接合層と第1中間接合層とを接続したコイル装置を特徴とするものである。

5

6

【0017】前記目的を達成するため、第3の本発明は、下側のプリント配線基板に第1コイル半体と、その第1コイル半体の一端に導電性の第1接合層を形成し、上側のプリント配線基板に第2コイル半体と、その第2コイル半体の一端に導電性の第2接合層を形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層とを一体に接合することにより、前記第1コイル半体と第2コイル半体とを接続して1つのコイルを形成し、そのコイルが信号送受信のためのコイルあるいは給電用のコイルであり、前記プリント配線基板にICチップが搭載されたICメモリ装置を特徴とするものである。前記目的を達成するため、第4の本発明は、下側のプリント配線基板にコイルと、そのコイルの一端に導電性の第1接合層と、そのコイルから離れた位置に導電性の第1中間接合層とを形成し、上側のプリント配線基板に導電性の第2接合層ならびに第2中間接合層と、その第2接合層と第2中間接合層を接続する導電線とを形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層ならびに第1中間接合層と第2中間接合層とをそれぞれ接合することにより、前記第1接合層と第1中間接合層とを接続して、前記コイルが信号送受信のためのコイルあるいは給電用のコイルであり、前記プリント配線基板にICチップが搭載されたICメモリ装置を特徴とするものである。

【0018】前記目的を達成するため、第4の本発明は、下側のプリント配線基板に第1コイル半体と、その第1コイル半体の一端に導電性の第1接合層を形成し、上側のプリント配線基板に第2コイル半体と、その第2コイル半体の一端に導電性の第2接合層を形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層とを一体に接合することにより、前記第1コイル半体と第2コイル半体とを接続して1つのコイルを形成し、そのコイルが信号送受信のためのコイルあるいは給電用のコイルであり、前記プリント配線基板にICチップが搭載されて薄板状のICモジュールが構成され、そのICモジュールの両面に接着剤層を介して薄板状の保護部材が貼着されているICメモリ装置を特徴とするものである。

【0019】前記目的を達成するため、第5の本発明は、下側のプリント配線基板にコイルと、そのコイルの一端に導電性の第1接合層と、そのコイルから離れた位置に導電性の第1中間接合層とを形成し、上側のプリント配線基板に導電性の第2接合層ならびに第2中間接合層と、その第2接合層と第2中間接合層を接続する導電線とを形成して、その上側のプリント配線基板を前記下側のプリント配線基板上に重ね合わせて、前記第1接合層と第2接合層ならびに第1中間接合層と第2中間接合層とをそれぞれ接合することにより、前記第1接合層と

第1中間接合層とを接続して、前記コイルが信号送受信のためのコイルあるいは給電用のコイルであり、前記プリント配線基板にICチップが搭載されて薄板状のICモジュールが構成され、そのICモジュールの両面に接着剤層を介して薄板状の保護部材が貼着されているICメモリ装置を特徴とするものである。

【0020】

【作用】前記第1ないし第9の発明は前述したように、上側のプリント配線基板と下側のプリント配線基板上と重ね合わせた構造であるから、スルーホールを形成する必要がなく、製造作業の簡略化が図れ、生産性が向上し、コストの低減が可能となる。

【0021】さらにこれに加えて第1、第3ならびに第5の発明は、最終的なプリント配線基板の占有面積が従来と同一であれば、コイルの長さが長くなって性能の向上が図れ、また、コイルの長さが従来と同一であれば、最終的なプリント配線基板の占有面積を狭くすることが可能で、装置の小型化が図れる。

【0022】また第5、第6の発明のように、ICモジュールの両面に接着剤層を介して薄板状の保護部材が貼着した構造にすれば、部品点数の削減にともなってコストの低減が図れる。

【0023】

【実施例】次に本発明の実施例を図とともに説明する。図1ないし図4は第1実施例を説明するための図で、図1は折り返す前、すなわち展開状態のFPCの一部平面図、図2は図1のX-X上の断面図、図3は折り返した後のFPCの平面図、図4は折返部の拡大断面図である。

【0024】図1ならびに図2に示しているように、展開した薄いフレキシブルなプリント配線基板(FPC)1には、ベアチップIC2ならびにコンデンサ3などの電子部品が搭載されている。

【0025】FPC1の所定位置には縦一列に開口したスリット4を中心にしてその左右の対称位置に、それぞれ所定のターン数を有する第1コイル半体5aと第2コイル半体5bがプリント技術によって形成されている。そして図1に示すように第1コイル半体5aの一端はベアチップIC2の1つの端子に接続され、他端は第1半田層6aに接続され、第2コイル半体5bの一端はベアチップIC2の他の端子に接続され、他端は第2半田層6bに接続されている。

【0026】前記第1半田層6aと第2半田層6bは、スリット4を中心にして同じ間隔L1だけ離れており、しかもX-X線の同一線上に配置されている。図2に示すように第1半田層6aならびに第2半田層6bを除く第1コイル半体5aならびに第2コイル半体5bの表面は、例えばホットメルト型接着剤などからなる電気絶縁層7で覆われており、図1では電気絶縁層7を斜線で示している。なお図2に示すように、半田層6a、6bは

7

電気絶縁層7よりも若干突出している。

【0027】図2に示すようにスリット4上の折り返し線8（仮想線）のところから、前記電気絶縁層7側が互いに向かい合うようにFPC1を部分的に折り返し（図3参照）、図4に示すように第1半田層6aの上に第2半田層6bを合わせ、両半田層6a、6bを熱溶融して一体に接合する。この両半田層6a、6bの接合により、第1コイル半体5aと第2コイル半体5bが接続されたコイル長の長いコイルが形成され、FPC1の端を部分的に折り返ししていることから、FPC1の最終的な広さはかなり狭くできる。なお、両半田層6a、6bの熱溶融の際の余熱によって下側の電気絶縁層7と上側の電気絶縁層7も一体に熱溶着されるため、折り返し部分がめくれることはない。

【0028】図5ならびに図6は、本発明の第2実施例を説明するための図である。この実施例の場合、FPC1の所定位置に第1コイル半体5aがプリントされ、その内周部側に第1半田層6aが形成されている。この第1コイル半体5aから若干離れた位置に第1中間半田層9aが形成されている。

【0029】一方、このFPC1とは完全に離れた補助FPC10には第2コイル半体5bがプリントされ、その内周部側に第2半田層6bが形成され、第2コイル半体5bの外側には第2中間半田層9bが接続されている。

【0030】そして前記半田層6a、6b、9a、9bを除くようにしてコイル半体5a、5bが電気絶縁層7によってそれぞれ覆われている。

【0031】図5に示すように、FPC1と補助FPC10とを並べたとき、半田層6a、6b、9a、9bは同一線上に配置されており、しかも第1半田層6aと第1中間半田層9aの間隔と、第2半田層6bと第2中間半田層9bの間隔は、ともに等しい（間隔：L2）。

【0032】そして図6に示すように、半田層6b、9bを下にして補助FPC10をFPC1の上に重ね合わせ、半田層6a、6b、半田層9a、9bならびに下側の電気絶縁層7と上側の電気絶縁層7を融着することにより、補助FPC10をFPC1に一体に接合するとともに、第1コイル半体5aと第2コイル半体5bが接続されたコイル長の長いコイルが形成される。

【0033】なお本実施例では、半田層6aと6b、半田層9aと9bを接合した例を示しているが、半田層6aと9b、半田層6aと9bを互いに接合しても同じ長さのコイルが形成される。

【0034】なお本実施例ではFPC1と補助FPC10を使用した例を示したが、前記第1実施例と異なりプリント配線基板を折り返す構造になっていないから例えばガラスエポキシ樹脂などからなる硬質のプリント配線基板を使用することもできる。

【0035】図7は、本発明の第3実施例を説明するた

8

めの図である。この実施例の場合、FPC1の所定位置にコイル11がプリントされ、その内周部側に第1半田層6aが形成されている。このコイル11から若干離れた位置に第1中間半田層9aが形成されている。このコイル11の隣にはスリット4が形成され、このスリット4を中心にして、前記第1半田層6aとスリット4との間隔L3と同じ間隔L3で、かつ同一X-X線上に第2半田層6bが設けられている。また、前記第1中間半田層9aとスリット4との間隔L4と同じ間隔L4で、かつ同一Y-Y線上に第2中間半田層6bが設けられている。そして、第2半田層6bと第2中間半田層6bはプリントされた導電線12によって接続されている。

【0036】この実施例の場合、導電線12の長さが比較的短くてすむから、導電線12上には電気絶縁層7は省略されており、コイル11側だけ電気絶縁層7で覆われている。

【0037】この実施例の場合も前記第1実施例と同様に、スリット4上の折り返し線8のところから、前記半田層6a、6b、9a、9bが互いに向かい合うようにFPC1を部分的に折り返し、第1半田層6aの上に第2半田層6bを載せ、第1中間半田層9aの上に第2中間半田層9bを載せて、各半田層6a、6b、9a、9bを熱溶融して一体に接合する。この各半田層6a、6b、9a、9bの接合により、スルーホールを設けることなく半田層6aと半田層9aを接続することができる。

【0038】この実施例では、1枚のFPC1上にコイル11、導電線12ならびに各半田層6a、6b、9a、9bを形成して、折り返し線8のところから折り返した例を示したが、例えば前記第2実施例のように、FPC1あるいは硬質プリント配線基板上にコイル11と半田層6a、9aを形成し、これとは別個の補助FPCあるいは硬質プリント配線基板上に導電線12と半田層9a、9bを形成して、両者を接合することも可能である。

【0039】前記各実施例では1つのコイルの場合について説明したが、実際には複数のコイルがプリント配線基板上の形成されることになる。

【0040】前記実施例では接合層として半田層を用いた場合について説明したが、半田層の代わりに導電性接着剤層を用いることも可能である。

【0041】図8は、本発明の実施例に係るICメモリカードを説明するための図である。前述のようにプリント配線基板上にベアチップICなどの電子部品を搭載し、所定数のコイルを形成した薄板状のICモジュール13と、ポリエチレンテレフタレート（PET）などからなる上側保護シート14ならびに下側保護シート15と、ホットメルト型接着剤層16との積層体からICメモリカード17が構成されている。

【0042】

【発明の効果】前記第1ないし第9の発明は前述したように、上側のプリント配線基板と下側のプリント配線基板上と重ね合わせた構造であるから、スルーホールを形成する必要がなく、製造作業の簡略化が図れ、生産性が向上し、コストの低減が可能となる。

【0043】さらにこれに加えて第1、第3ならびに第5の発明は、最終的なプリント配線基板の占有面積が従来と同一であれば、コイルの長さが長くなって性能の向上が図れ、また、コイルの長さが従来と同一であれば、最終的なプリント配線基板の占有面積を狭くすることが可能で、装置の小型化が図れる。

【0044】また第5、第6の発明のように、ICモジュールの両面に接着剤層を介して薄板状の保護部材が貼着した構造にすれば、部品点数の削減にともなってコストの低減が図れるなどの諸種の利点を有する。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るプリント配線基板の展開図である。

【図2】図1 X-X線上の部分断面図である。

【図3】そのプリント配線基板の一部を折り返したプリント配線基板の完成状態を示す平面図である。

【図4】そのプリント配線基板の折り返し部の拡大断面図である。

【図5】本発明の第2実施例に係るプリント配線基板の展開図である。

【図6】そのプリント配線基板の接合を説明するための側面図である。

【図7】本発明の第3実施例に係るプリント配線基板の

展開図である。

【図8】本発明のプリント配線基板を含むICモジュールを内蔵したICメモリカードの断面図である。

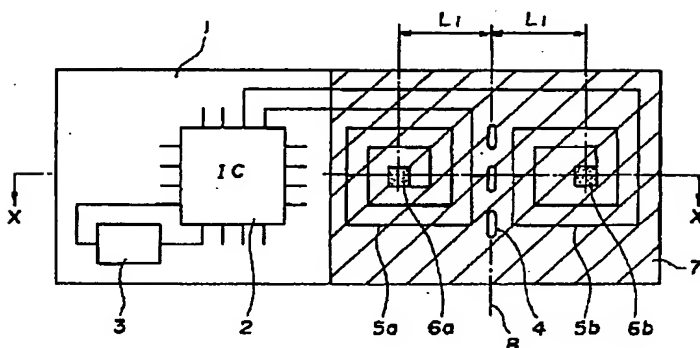
【図9】一般的な電磁結合方式を説明するためのブロック図である。

【図10】従来のICメモリカードに使用されていたプリント配線基板の平面図である。

【符号の説明】

- 1 FPC
- 2 ヘアチップIC
- 4 スリット
- 5a 第1コイル半体
- 5b 第2コイル半体
- 6a 第1半田層
- 6b 第2半田層
- 7 電気絶縁層
- 8 折り返し線
- 9a 第1中間半田層
- 9b 第2中間半田層
- 10 補助FPC
- 11 コイル
- 12 導電線
- 13 ICモジュール
- 14 上側保護シート
- 15 下側保護シート
- 16 ホットメルト型接着剤層
- 17 ICメモリカード

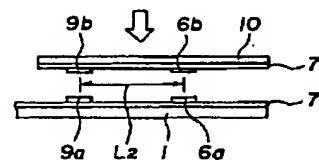
【図1】



【図6】

【図11】

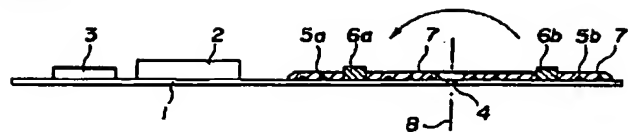
【図6】



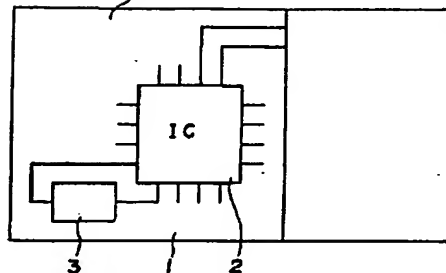
【図2】

【図3】

【図2】

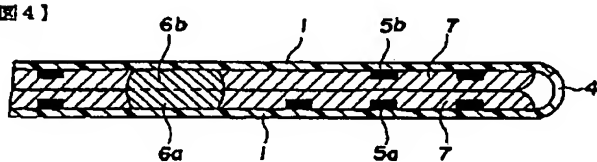


【図3】



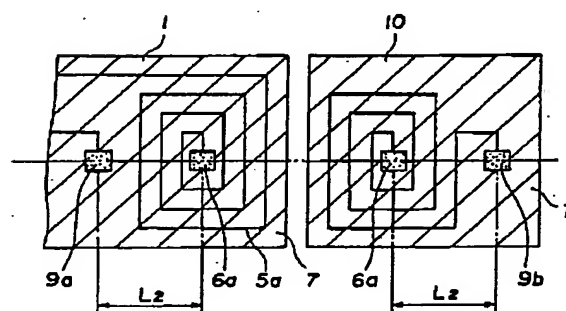
【図4】

【図4】



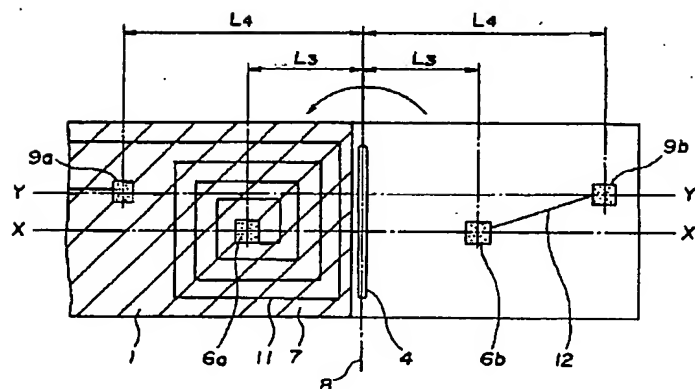
【図5】

【図5】



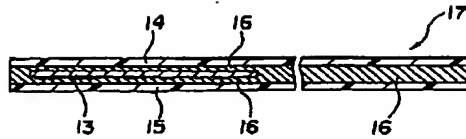
【図7】

【図7】

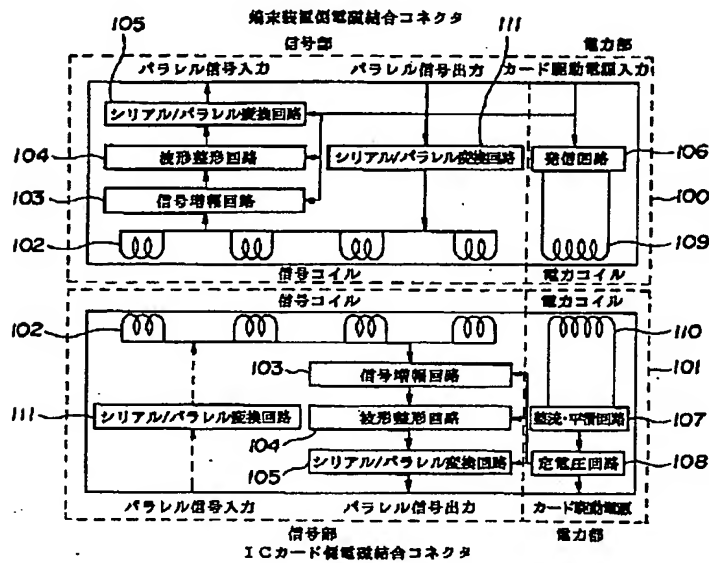


【図8】

【図8】

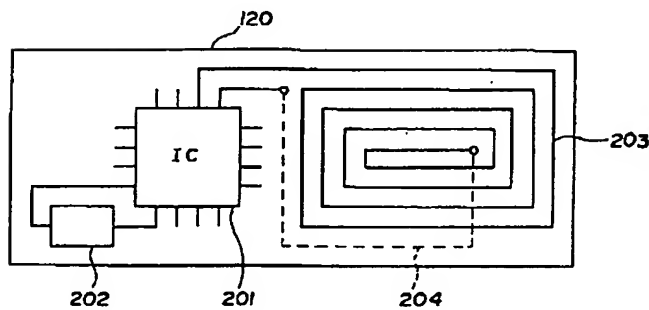


【図9】



【図9】

【図10】



【図10】